

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-078186

(43)Date of publication of application : 12.03.1992

(51)Int.Cl.

H01S 3/18

(21)Application number : 02-191748

(71)Applicant : NEC CORP

(22)Date of filing : 19.07.1990

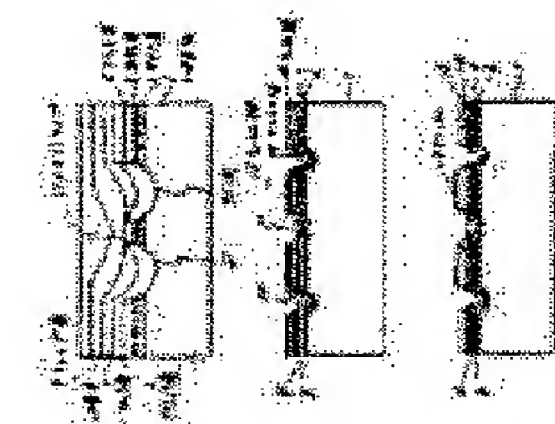
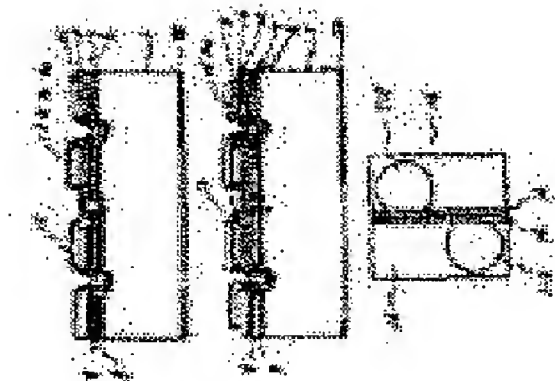
(72)Inventor : YAMAMOTO YUKO

## (54) SEMICONDUCTOR LASER

### (57)Abstract:

**PURPOSE:** To obtain a semiconductor laser excellent in assembling yield and reliability, and to make possible high-speed modification is made possible, by means of constitution of at least two-layer insulating films, one of which is a SiO<sub>2</sub> film to contact with a semiconductor and another is a SiN<sub>x</sub> film to contact with a metal electrode.

**CONSTITUTION:** A channel portion 14 is formed by etching, an SiO<sub>2</sub> film 10 is grown as an insulating film on the channel portion. On the SiO<sub>2</sub> film, SiN<sub>x</sub> film 16 is grown, and a contact portion 11 to make flow electric current is formed by etching. Then, Cr-Au 12 is formed to cover the contact portion 11, and Ti-Pt-Au 13 is formed on the Cr-Au 12 to cover all. Next, with regards to the Ti-Pt-Au 13, only the part to be required for the contact portion 11 and wire bonding is remained, and other part is removed by etching. On the remained part of the Ti-Pt-Au, Au 15 is formed by Au plating, and an electrode 20 is formed on the back side of a substrate. As a result, semiconductor laser is manufactured.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-78186

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)3月12日

H 01 S 3/18

9170-4M

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体レーザ

⑯ 特 願 平2-191748

⑰ 出 願 平2(1990)7月19日

⑱ 発 明 者 山 本 優 子 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

# 明 細 書

発 明 の 名 称

半導体レーザ

特 許 請 求 の 範 囲

ダブルヘテロ構造多層半導体の上に電流注入の  
為の窓を有する絶縁膜とその上に金属電極が設け  
られた半導体レーザにおいて、前記絶縁膜は少な  
くとも2層からなり、前記半導体に接する側は  
SiO<sub>2</sub>膜、前記金属電極に接する側はSiNx  
膜から構成されることを特徴とする半導体レー  
ザ。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明は半導体レーザに関する。

(従来の技術)

光ファイバー通信の高ビットレート化に伴い高  
速変調が可能な半導体レーザの要求が強まってき

ている。以下に説明する従来の半導体レーザで  
は、寄生容量が非常に大きく、変調速度2Gb/  
s程度が限界であった。従来の半導体レーザの製  
造工程について簡単に述べると、まずダブルヘテ  
ロ構造を有する半導体ウェハをLPEなどの結晶  
成長方法により製作する。この半導体ウェハの上  
面に寄生容量低減の為、SiO<sub>2</sub>などの絶縁膜を  
形成した後、コンタクト窓を絶縁膜に形成し、  
上記ウェハ表面全面に渡って電極を形成してい  
た。

従来技術の更に改良された一例として、上記半  
導体ウェハの発光部分を挟んで両側にメサ溝を形  
成した後前述の例と同じに絶縁膜、更に電極を  
ウェハ表面全面に渡って形成していた。第3図  
は、従来の電極構造を表わしている。チャネル  
部14をエッチングにより形成し、絶縁膜として  
SiO<sub>2</sub>膜10を全面に設けた後、電流を流すコ  
ンタクト部11にエッチングにより窓を形成す  
る。更にその上に、オーミックを取る為の電極  
Cr-Au12、Ti-Pt-Au13、及び

n-InP基板1の下にAuGe-AuNiからなる電極20を形成する。

Ti-Pt-Au13の上にAuメッキ15を形成する。なお、第3図(a)は断面図であり、第3図(b)は平面図である。半導体レーザ表面全体に電極15を施している。

〔発明が解決しようとする課題〕

従来の半導体レーザは、半導体レーザ表面全面に電極を施しているため、寄生容量の低減が不十分であった。この結果として、従来例のメサ構造電極を採用しても2.0Gb/s程度が限度であった。又、メサ構造を有しない前記従来の半導体レーザにおいての変調特性は更に劣り、たかだか1Gb/s程度であった。変調速度が2.4Gb/s以上を目標とすると、この解決策として電極表面積を最小限にする工夫がされた。しかし、従来の半導体レーザにおいては、一種類の絶縁膜を用いていた為に、例えば絶縁膜として、SiO<sub>2</sub>を用いた場合には金属と、またSiN<sub>x</sub>を用いた場合には半導体との接着力が弱く、ワイヤーボン

ディング時の電極部の剥がれがしばしば生じ、信頼性の点で問題があった。

本発明の目的は、2.4Gb/s以上の高速変調が可能で、なおかつ組立歩留り、信頼性に優れた半導体レーザを提供することにある。

〔課題を解決するための手段〕

本発明は、ダブルヘテロ構造多層半導体の上に電流注入の為に窓を有する絶縁膜とその上に金属電極が設けられた半導体レーザにおいて、前記絶縁膜は少なくとも2層からなり、前記半導体に接する側はSiO<sub>2</sub>膜、前記金属電極に接する側はSiN<sub>x</sub>膜から構成されること特徴とする半導体レーザである。

〔実施例1〕

次に、本発明について図面を参照して説明する。第1図は本発明による半導体レーザの製造過程例を示す図である。まず、第1図(a)に示すように、n-InP基板1の上にn-InGaAsPガイド層3、InGaAsP活性層4、p-InPクラッド層5を順に結晶成長した後、2

つの平行な溝21とそれによって挟まれるメサストライプ22をエッチングにより形成し、その後メサストライプ22の上部を除いて、p-InPブロック層6、n-InPブロック層7、そして全面にp-InP層8、p-InGaAsPキャップ層9をLPE法により形成する事により、ダブルヘテロ構造を得る。次いで第1図(b)に示すように、チャンネル部14をエッチングにより形成し、絶縁膜としてSiO<sub>2</sub>膜10を成長し、その上にSiN<sub>x</sub>膜16を成長させ、電流を流すコンタクト部11をエッチングにより形成する。この後、第1図(c)の如く、Cr-Au12でコンタクト部11を少なくとも覆うように形成する。第1図(d)の如く、Cr-Au12の上からTi-Pt-Au13を全面に形成する。この後、第1図(e)に示すように、Ti-Pt-Au13を、コンタクト部11とワイヤーボンディングに必要な部分のみを残し他の部分はエッチングで除去する。最後に、残ったTi-Pt-Auの上にAuメッキによりAu15を形成し、基板

裏面に電極20を形成して半導体レーザとする。

第1図(f)に本実施例の半導体レーザの平面図を示す。図からわかるように、ワイヤーをボンディングする直径100μmのパッド部分115、215のみを残し他の部分はSiN<sub>x</sub>16が露出している。上記のように形成した、半導体レーザの変調特性を測定したところ、4Gb/s NRZ変調において十分良好なアイパターンが得られ、十分な高速応答特性が得られた。又、ワイヤーボンディング時にも十分な電極の密着強度(13mgの引っ張り強度)が得られた。

〔実施例2〕

第2図(a)～(f)は本発明の第2の実施例を示す図である。第2の実施例は、第1の実施例において、チャンネル部14を形成しない構造である。この他は第1の実施例と同じである。また各製造工程も、チャンネル部製造工程を除けば第1の実施例と同じであるので(a)～(f)の各工程についての説明は省略する。

第1の実施例においては、非常にすぐれた特性

を実現し得るが半導体レーザの製造工程の点ではメサ構造の上にホトリソグラフィにより、パッド上の電極を形成すると言う非常に複雑な製造工程を経ていた。本実施例においては、メサ溝を形成することなく、平坦なウェハ面上に2層の絶縁膜( $\text{SiO}_2$ 膜10と $\text{SiN}_x$ 膜16)を形成した後、実施例1と同じ直径100 $\mu$ のパッド状の電極を形成した。この構造は、実施例1に比べて製造工程上、簡単でありこの様な半導体レーザにおいても、1.6Gb/s程度の変調特性が得られた。又、引っ張り強度的にも、第1の実施例と同程度の13mgが得られた。第2の実施例は極めて単純な製造工程の採用によって、1~2Gb/s程度の比較的速い変調特性を有する半導体レーザを安定かつ安価に提供することが可能になるという利点がある。

#### 〔発明の効果〕

以上説明したように本発明は、半導体レーザにおいて少なくとも2層の絶縁膜を施し、表面の電極を製造上必要最小限の大きさに形成した部分の

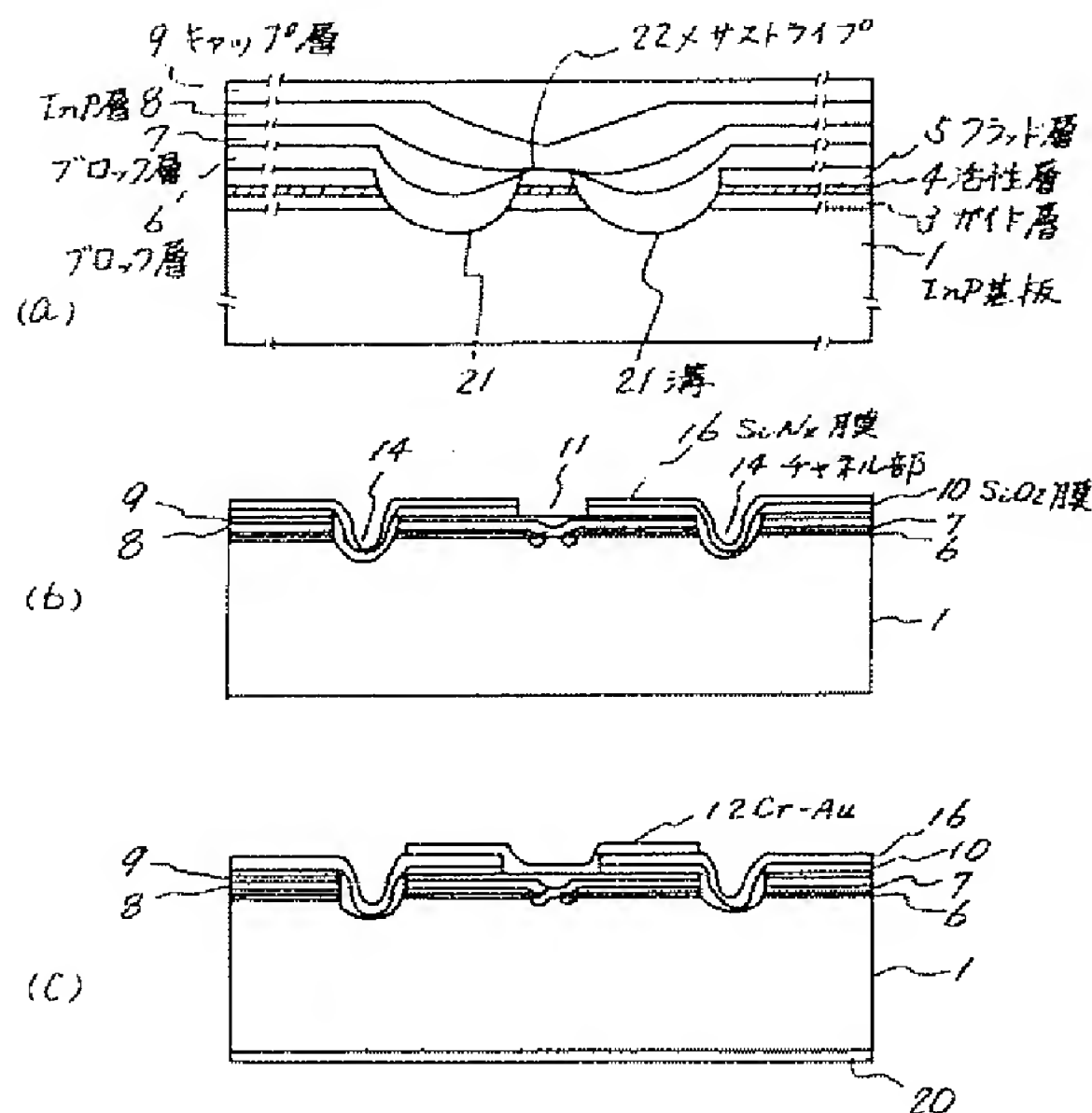
みを残し他を除去することにより、半導体レーザの寄生容量を減少させ、その率により、変調特性を大幅に改善できるという利点を有する。

#### 図面の簡単な説明

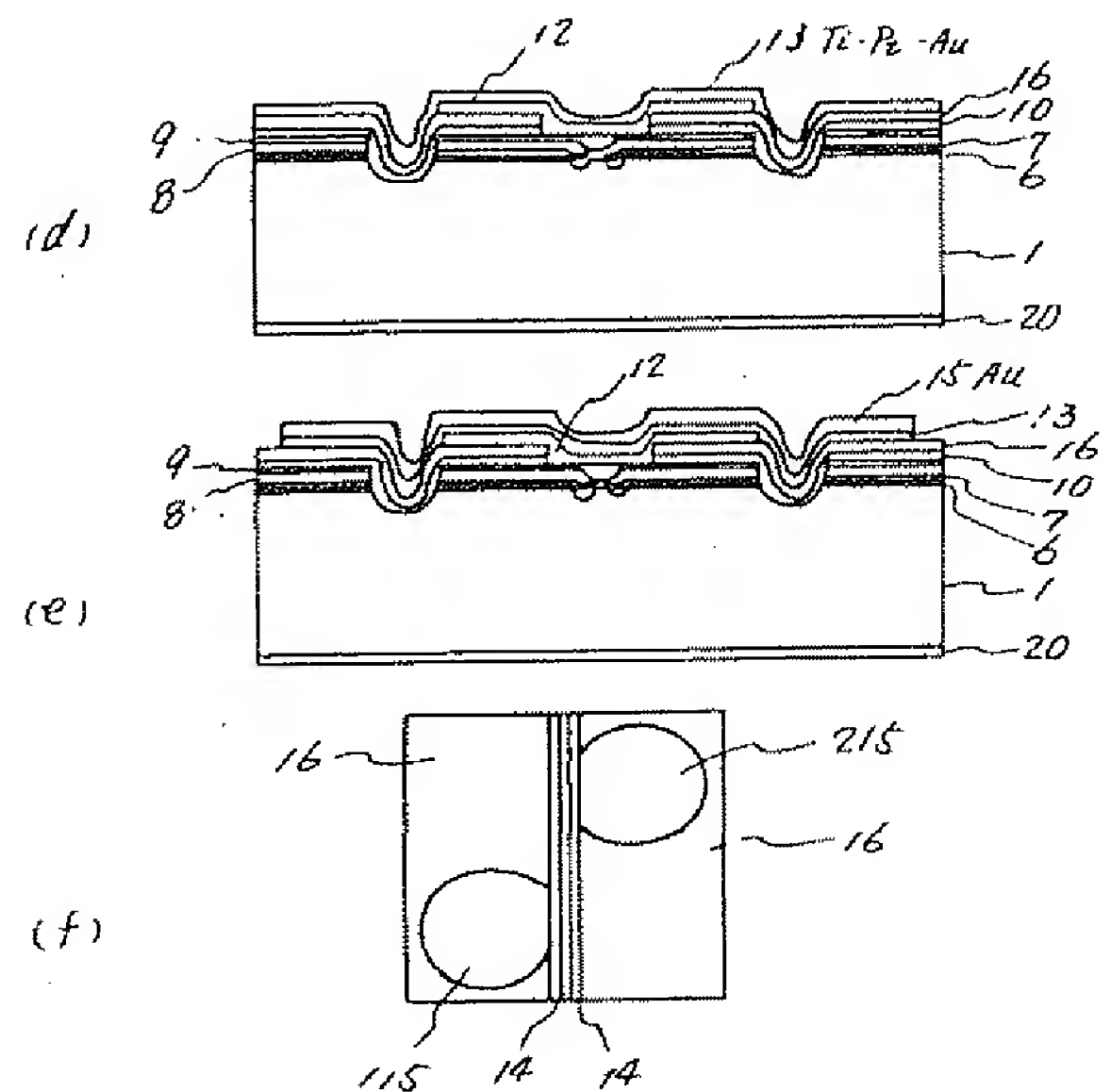
第1図は、本発明の実施例1を示す図である。第2図は、本発明の実施例2を示す図である。第3図は従来例を示す図である。

1...n-InP基板、3...n-InGaAsPガイド層、4...InGaAsP活性層、5...p-InPクラッド層、6...p-InPブロック層、7...n-InPブロック層、8...p-InP層、9...p-InGaAsキャップ層、10... $\text{SiO}_2$ 膜、11...コンタクト部、12...Cr-Au、13...Ti-Pt-Au、14...チャンネル部、15...Au、16... $\text{SiN}_x$ 膜、20...AuGe-AuNi、21...溝、22...メサストライプ。

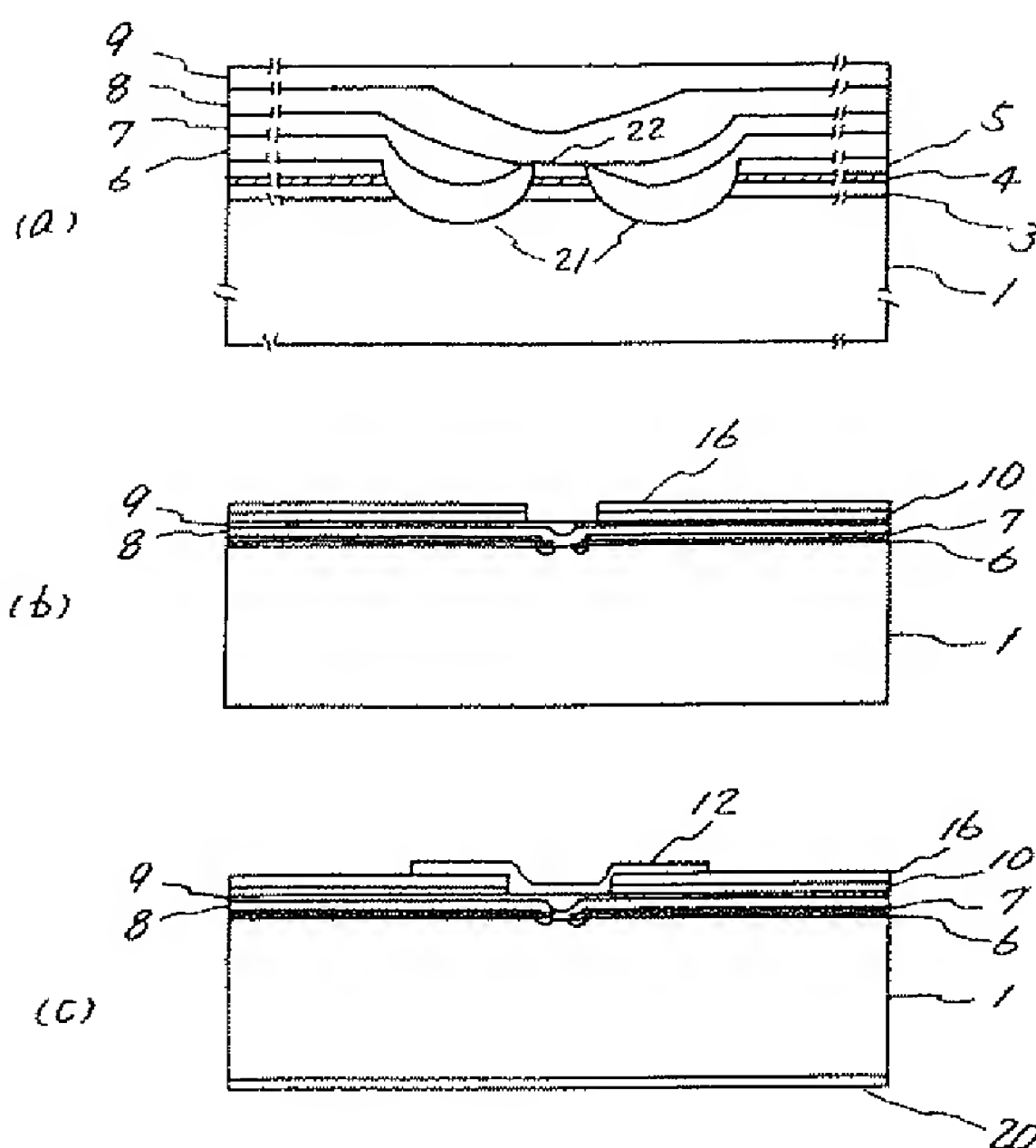
代理人 弁理士 内 原 賢



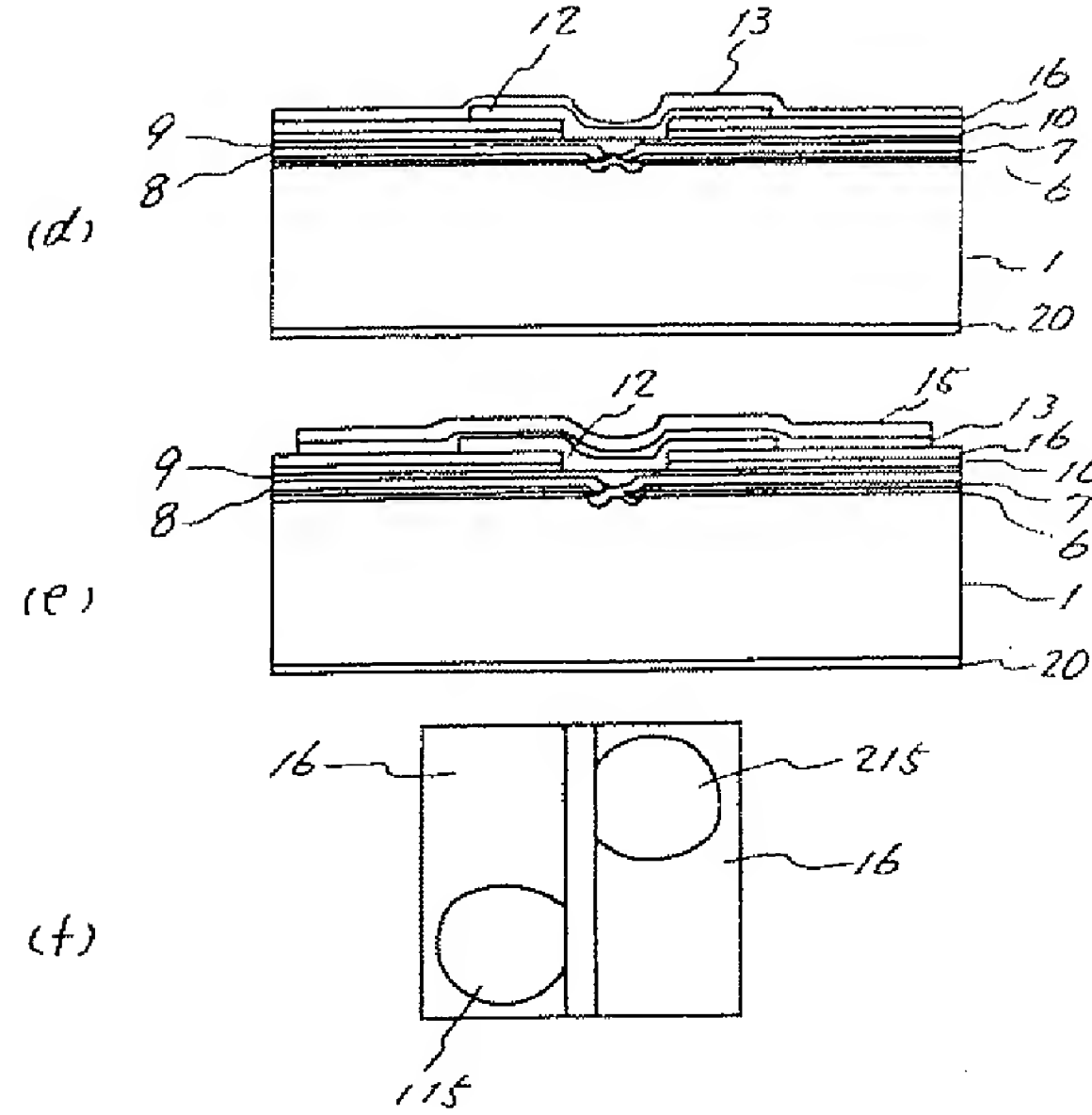
第1図



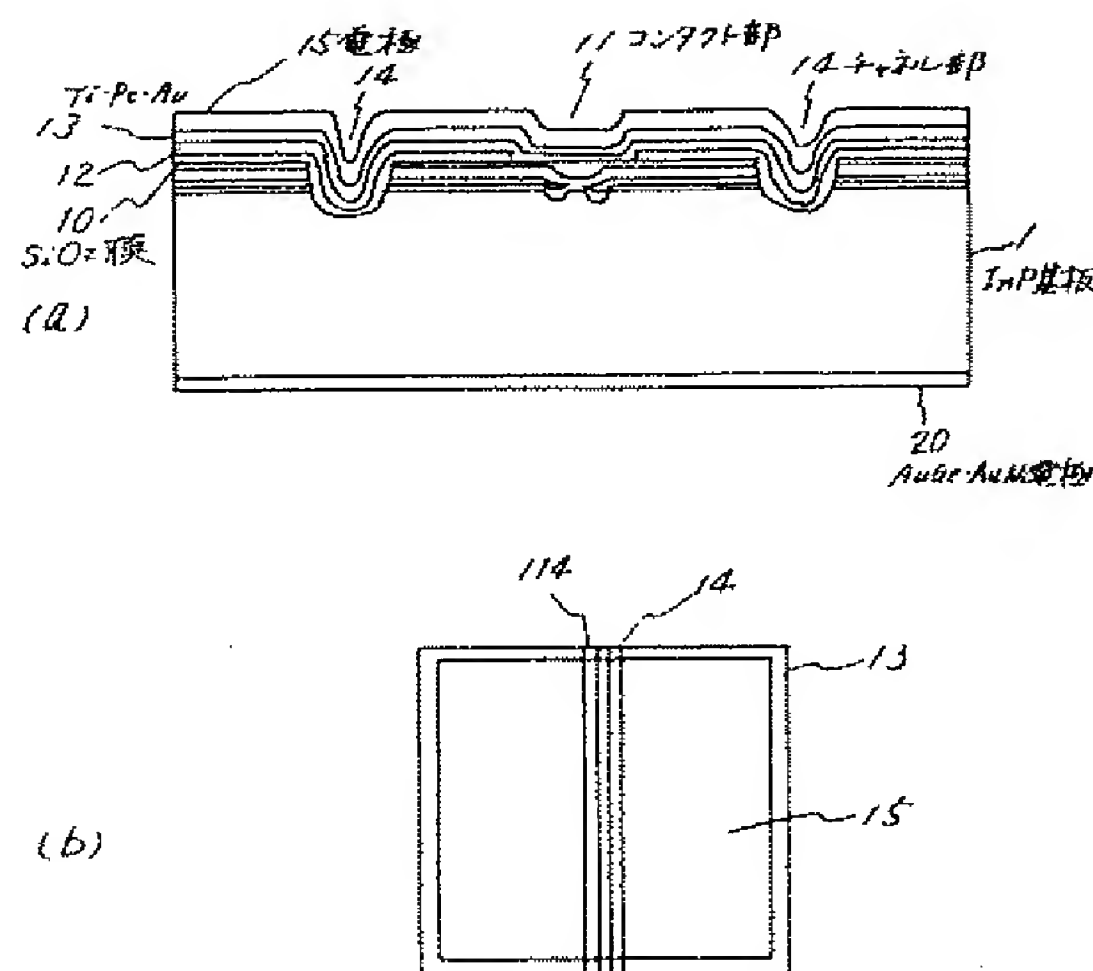
第1図



第 2 図



第 2 図



第 3 図